

PAT-NO: JP403096266A  
DOCUMENT-IDENTIFIER: JP 03096266 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT MODULE  
PUBN-DATE: April 22, 1991

## INVENTOR-INFORMATION:

NAME  
TAKEMURA, SEIJI

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP01234341

APPL-DATE: September 8, 1989

INT-CL (IPC): H01L025/00, H01L025/10, H01L025/11, H01L025/18

US-CL-CURRENT: 257/686

## ABSTRACT:

PURPOSE: To assemble passive parts such as capacitors by the same handling as active parts wherein chips as semiconductor integrated circuit devices are contained and to obtain a module wherein the planar packaging density is not decreased by arranging the passive units and active units which are standardized as the same unit on a board as the same arrangement.

CONSTITUTION: A plurality of active parts containing chips as semiconductor integrated circuit devices and a plurality of passive elements such as capacitors are arranged on the same board. Thus, a semiconductor integrated circuit module 13 is constituted. The chips are sealed in a specified package. The active unit 2 is constituted as a standardized unit. The passive

unit 8 is  
standardized as the same unit as said active unit 2 from said passive  
part by  
using specified members. Said active units 2 and passive units 8 are  
arranged  
on boards 3 as the same arrangement. For example, the memory ICs 2  
and the  
capacitor arrays 8 which are standardized as the same unit as the  
memory ICs 2  
are arranged between the printed boards 3 by the same arrangement,  
and the  
memory module 13 is constituted.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許序 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 平3-96266

⑬ Int. Cl. 5 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)4月22日  
H 01 L 25/00 B 7638-5F  
25/10  
25/11  
25/18  
7638-5F H 01 L 25/10 Z  
7638-5F 25/14 Z  
審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体集積回路モジュール

⑯ 特 願 平1-234341  
⑰ 出 願 平1(1989)9月8日

⑱ 発明者 竹村 誠次 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹  
製作所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体集積回路モジュール

2. 特許請求の範囲

半導体集積回路装置としてのチップが内蔵された能動部品と、コンデンサ等の受動部品とが複数個、同一基板に配されて構成される半導体集積回路モジュールであって、

前記チップが所定の外囲器で封止されることによって、規格化された単位として構成された能動ユニットと、

所定の部材を用いて前記受動部品が前記能動ユニットと同一の単位に規格化された受動ユニットと、

前記能動ユニットと前記受動ユニットとが同一の配列でその上に並べられた基板とを備える、半導体集積回路モジュール。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、半導体集積回路モジュールに関し、

特に、半導体集積回路装置としてのチップが内蔵された能動部品と、コンデンサ等の受動部品とが複数個、同一基板に配されて構成される半導体集積回路モジュールに関するものである。

【従来の技術】

第9A図は、従来の半導体集積回路モジュールの一例としてメモリモジュールを示す正面図、第9B図は、その側面図である。図示されたメモリモジュール1は、メモリIC2が高さ方向に積上げられて組立てられており、最も平面化率密度の高いメモリモジュールである。メモリICチップのパッケージングが完了したメモリIC2は、2つのプリント基板3の間に挟まれて並べられている。そのプリント基板3に設けられたスルーホール6に、メモリIC2の外部リード7が挿入されている。外部リード7とスルーホール6とは半田付けで接続固定されている。このようにして、複数個のメモリIC2が組立てられた後、コンデンサ8がプリント基板3の所定位置に手作業で半田付けされて取付けられる。その取付位置は、回路

特開平3-96266(2)

上で決定され、プリント基板3の上で配置できるように設定される。コンデンサらは、理想的には各メモリIC2に対し、その電源端子の前段に配置される。それにより、電源に存在するノイズが除去される。すなわち、ノイズ対策のためにコンデンサらがメモリモジュール1に組込まれる。プリント基板3にはクリップリード4が取付けられている。このクリップリード4とスルーホール6とは、所定のモジュールの機能に応じてプリント基板3の上に形成された導体パターン（図示せず）によって接続されている。このようにして、パーソナルコンピュータ等に設けられる増設メモリとしてのメモリモジュール1が組立てられる。

【発明が解決しようとする課題】

従来のメモリモジュールは以上のように構成されているので、コンデンサは、メモリICが取付けられるプリント基板の取付面とは反対側に配置されている。そのため、メモリICと同時に組立てることができないので、コンデンサの取付作業は手作業となる。また、メモリモジュールが基板

に取付けられて実装されるときに、その基板内でメモリモジュールが占有する面積、すなわち平面実装密度が、第9B図に示されるようにコンデンサの厚み分、悪くなる等の問題点があった。

そこで、この発明は、上記のような問題点を解消するためになされたもので、半導体集積回路装置としてのチップが内蔵された能動部品と同様の取扱いでコンデンサ等の受動部品を組立てることができるとともに、平面実装密度を低下させることのない半導体集積回路モジュールを提供することを目的とする。

【課題を解決するための手段】

この発明に従った半導体集積回路モジュールは、能動ユニットと、受動ユニットと、基板とを備える。能動ユニットは、半導体集積回路装置としてのチップが所定の外周器で封止されることによって、規格化された単位として構成される。受動ユニットは、所定の部材を用いて受動部品が能動ユニットと同一の単位に規格化されたものである。能動ユニットと受動ユニットとが同一の配列で基

板の上に並べられている。

【作用】

この発明においては、受動部品は能動ユニットと同一の単位に規格化されている。その規格化された受動ユニットと能動ユニットとが、基板の上に同一の配列で並べられる。そのため、半導体集積回路モジュールの組立時において、コンデンサ等の受動部品を能動部品と同様に取扱うことができる。したがって、受動部品が基板の上で別に配置されることがないので、平面実装密度を低下させることもない。

【発明の実施例】

以下、この発明の一実施例を図について説明する。第1A図は、この発明に従った半導体集積回路モジュールの一例としてメモリモジュールを示す正面図である。第1B図は、その側面図である。メモリICチップが所定のパッケージで封止されたメモリIC2は、2つのプリント基板3の間に挟まれて並べられている。また、複数個のコンデンサが所定のパッケージに内蔵されることによっ

て、メモリIC2と同一の単位に規格化されたコンデンサアレイ8は、メモリIC2と同一の配列でプリント基板3の間に並べられている。プリント基板3に設けられたスルーホール6には、メモリIC2の外部リード7と、コンデンサアレイ8の外部リード12とが挿入されている。スルーホール6と外部リード7、12とは半田付けで接続固定されている。スルーホール6と、プリント基板3の一端に取付けられたクリップリード4とは、所定のモジュールの機能に応じてプリント基板3の上に形成された導体パターン（図示せず）を介して接続されている。このようにして、メモリモジュール13が構成される。

この発明のメモリモジュール13に組込まれたコンデンサアレイ8の構造について説明する。第2A図は、コンデンサアレイ8を示す正面図である。第2B図は、その側面図である。第2C図は、第2A図のII-C-II-C線における断面図である。これらの図を参照して、複数個の単体のコンデンサ10が、リードフレームのインナーリード11

に半山103等の導電性の良好な接着材料を用いて取付けられている。コンデンサの両端部にはコンデンサ端極104が設けられている。このコンデンサ端極104がインナーリード11に接続されている。インナーリード11から延びるように外部リード12が形成されている。コンデンサアレイ8の外形は、封止樹脂9によってメモリIC2と同一の外形に成形されている。

第3A図～第3D図は、この説明のメモリモジュールに組込まれるコンデンサアレイ8の製造方法の一例を工程順に示す斜視図である。以下、これらの図を参照して、コンデンサアレイ8の製造方法について説明する。第3A図を参照して、コンデンサアレイ製造用のリードフレーム101が準備される。第3B図に示すように、予め準備された単体のコンデンサ10が、リードフレーム101のインナーリード11に半山103等の導電性が良好な接着材料を用いて取付けられる。図には、コンデンサ10がリードフレーム101のインナーリード11の間にまたがるように載置され

た状態が示されている。その後、第3C図を参照して、封止樹脂9によってメモリIC2と同一の外形に成形される。さらに、第3D図に示すように、不要な封止樹脂（外部リード間等）が除去される。外部リード12には、メモリモジュールとして組立てられる際に半田付けを容易にするための外極めきが施される。その後、リードフレーム枠部102と不要部分等が切断される。最後に、外部リード12が所定の形状に加工されることにより、第2A図、第2B図に示されるようなコンデンサアレイ8が完成する。

なお、メモリIC2の構造は第4A図、第4B図に示されている。メモリICチップ201の周辺領域に設けられた各端極202には、インナーリード204が金線203を介して遮断的に接続されている。外部リード7のみが外側に現われるように、メモリIC2の外形は、封止樹脂9によって成形されている。

メモリIC2とコンデンサアレイ8とは以下のようにして組立てられる。第5A図は、メモリモ

ジュールの組立に用いられるプリント基板3を示す側面図である。第5B図は、その平面図である。プリント基板の表面上には所定の配列に従ってスルーホール6が形成されている。プリント基板3の一端部には、クリップリード半田付け用端極301が形成されている。第6図は、メモリモジュールの分解組立側面図である。多数個のメモリIC2とコンデンサアレイ8とが1列に並ぶように積重ねられる。メモリIC2の外部リード7と、コンデンサアレイ8の外部リード12が、矢印で示される方向にプリント基板3のスルーホール6に挿入される。外部リード12とスルーホール6とは、フローソルダリング等の方法を用いて半田付けされる。クリップリード4は、矢印で示される方向に、プリント基板3の端極301に圧入された後、半田付けされる。このとき、クリップリード4は、第7図で示されるような端部形状を有するので、ばね力によって容易に端極301に圧入される。このようにして、第1A図、第1B図に示されるようなメモリモジュール13が完成す

る。

なお、上記実施例においてはコンデンサ10は所定のパッケージに封止されることによってメモリIC2と同一の単位に規格化されている。しかしながら、第8A図、第8B図に示されるように、プリント基板上にコンデンサを配列させることによって、メモリICと同様の取扱いができるようコンデンサが所定の単位に規格化されてもよい。このとき、コンデンサアレイはメモリICと異なる外形を有するが、外形寸法、取付寸法として一定の規格化された寸法を有すればよい。第8A図は、コンデンサアレイの別の実施例を示す正面図である。第8B図は、その側面図である。プリント基板14の上に所定の配列に従って複数個のコンデンサ10が取付けられている。プリント基板14の両端部分には外部リード15が設けられている。外部リード15と各コンデンサの端極とは、プリント基板14上に設けられた配線パターン（図示せず）を介して接続されている。このようにして、コンデンサアレイ18が構成されている。

また、上記実施例においては、受動部品としてコンデンサの例を挙げて説明しているが、コンデンサ以外の抵抗器等がメモリICと同一の単位に規格化されてもよい。

さらに、上記実施例においては、半導体集積回路装置としてメモリICを用いているが、メモリ以外の機能を有するICが用いられてもよい。

#### 【発明の効果】

以上のように、この発明によれば、受動部品が能動部品と同一の単位に規格化されて、同一の配列で基板の上に並べられるので、半導体集積回路モジュールを組立てる際の工程が簡略化される。また、半導体集積回路モジュールの実装密度向上させることが可能になる。

#### 4. 図面の簡単な説明

第1A図は、この発明に従った半導体集積回路モジュールの一例としてメモリモジュールを示す正面図である。

第1B図は、この発明に従った半導体集積回路モジュールの一例としてメモリモジュールを示す正面図である。

側面図である。

第2A図は、この発明の半導体集積回路モジュールに使用される受動ユニットの一例としてコンデンサアレイを示す正面図である。

第2B図は、コンデンサアレイを示す側面図である。

第2C図は、第2A図のII-C-II-C線における断面図である。

第3A図、第3B図、第3C図、第3D図は、この発明のコンデンサアレイの製造方法を工程順に示す斜視図である。

第4A図は、能動ユニットの一例としてメモリICを示す正面図である。

第4B図は、メモリICを示す側面図である。

第5A図は、メモリモジュールの組立てに用いられるプリント基板を示す側面図である。

第5B図は、メモリモジュールの組立てに用いられるプリント基板を示す正面図である。

第6図は、この発明のメモリモジュールを概略的に示す分解組立側面図である。

第7図は、プリント基板の一端部に設けられるクリップリードの詳細を示す部分斜視図である。

第8A図は、コンデンサアレイの別の実施例を示す正面図である。

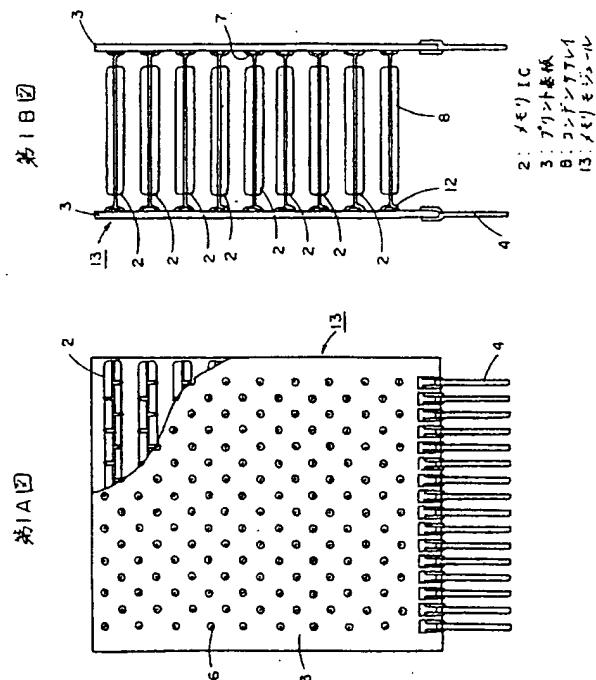
第8B図は、コンデンサアレイの別の実施例を示す側面図である。

第9A図は、従来の半導体集積回路モジュールの一例としてメモリモジュールを示す正面図である。

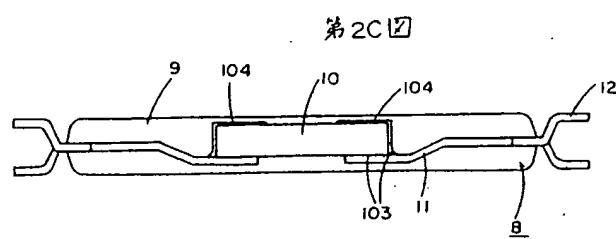
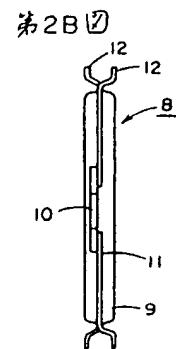
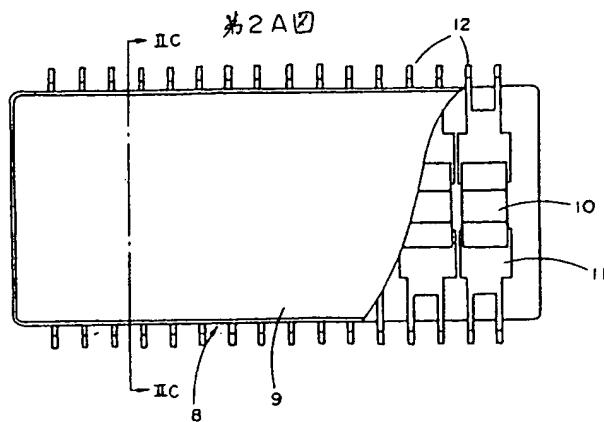
第9B図は、従来の半導体集積回路モジュールの一例としてメモリモジュールを示す側面図である。

図において、2はメモリIC、3はプリント基板、8はコンデンサアレイ、13はメモリモジュールである。

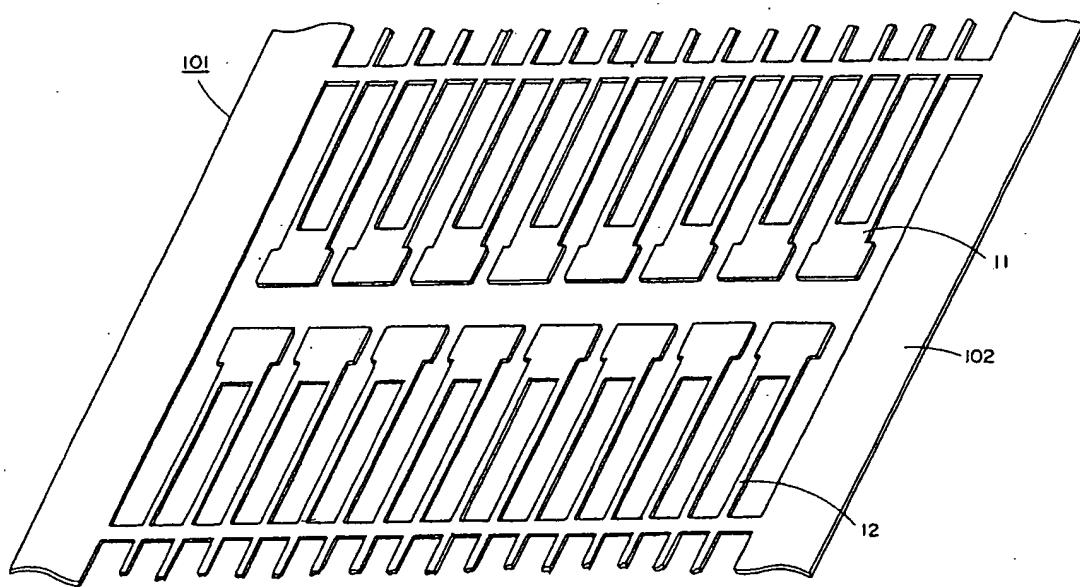
なお、各図中、同一符号は同一または相当部分を示す。



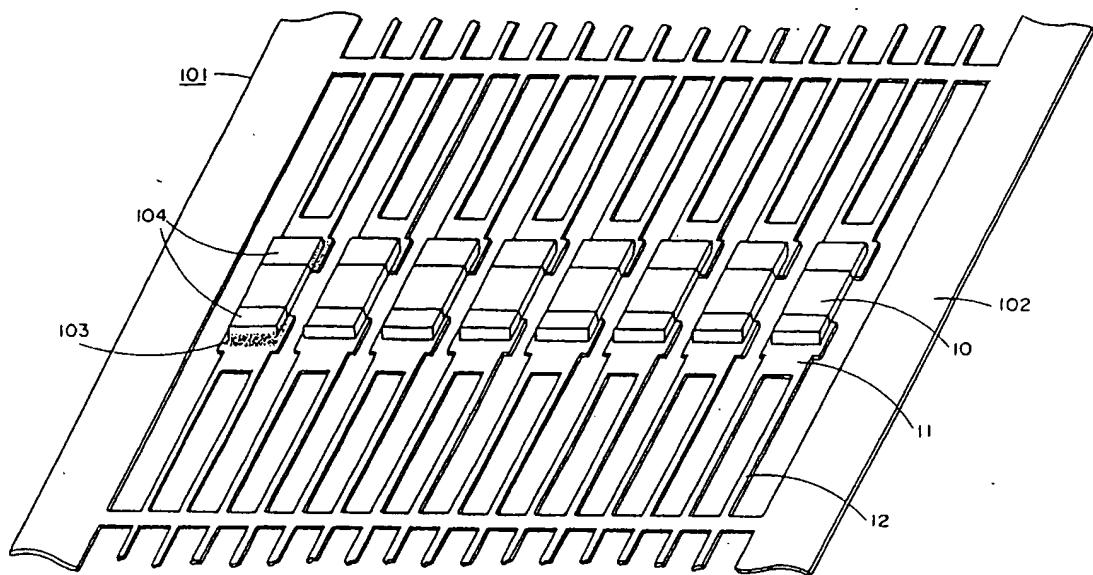
代理人 大岩 増雄



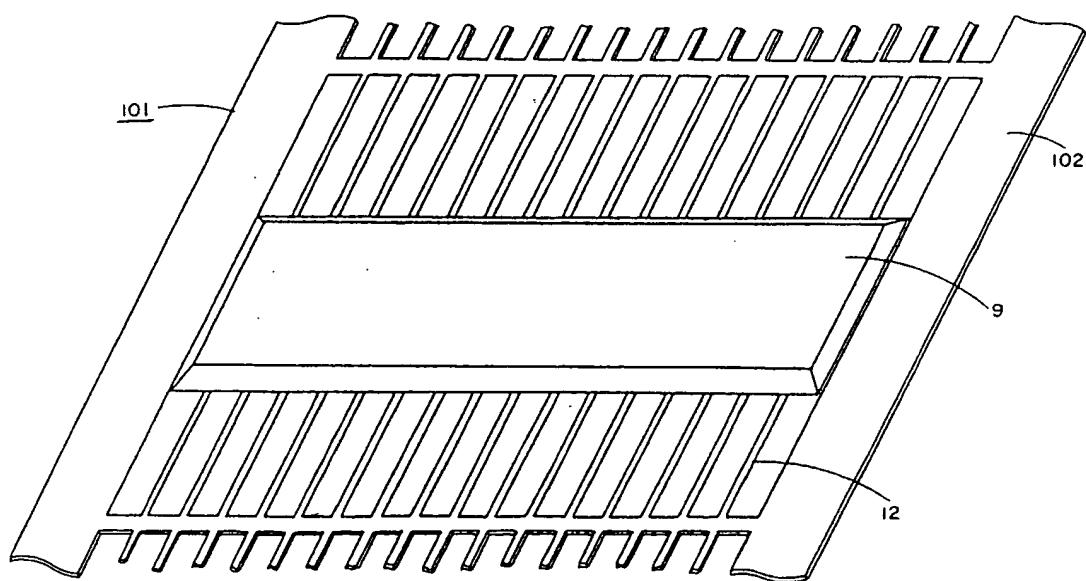
第3A図

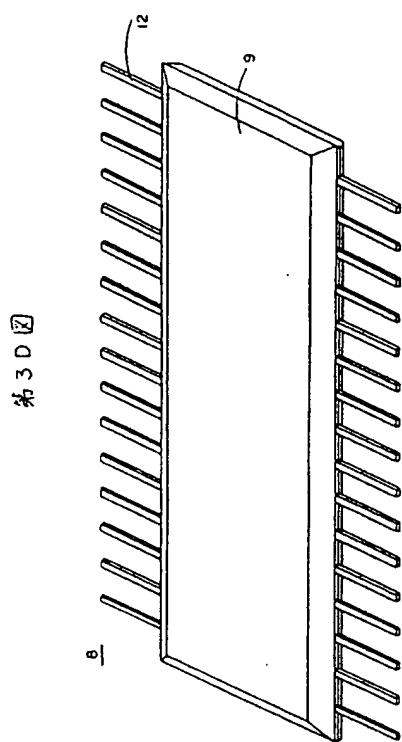


第3B図

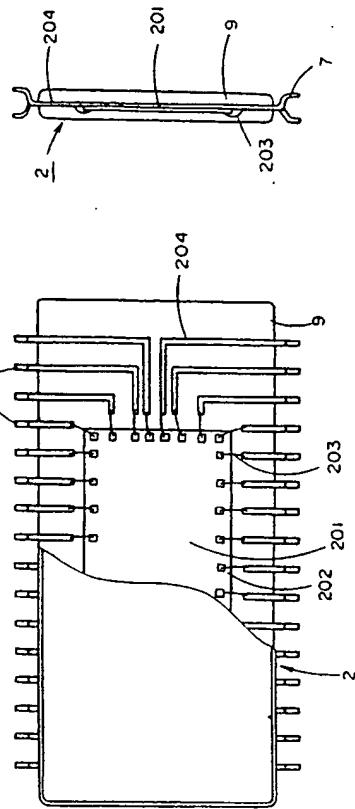


第3C図

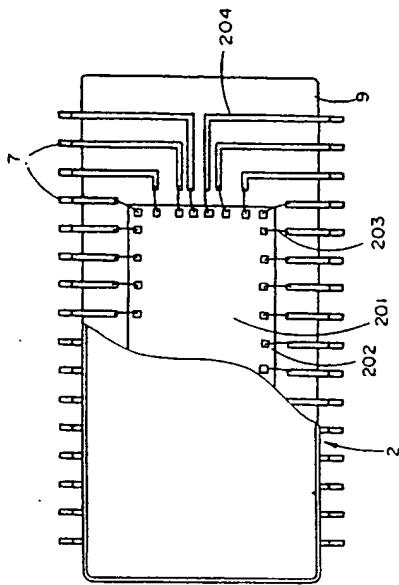




第4B図

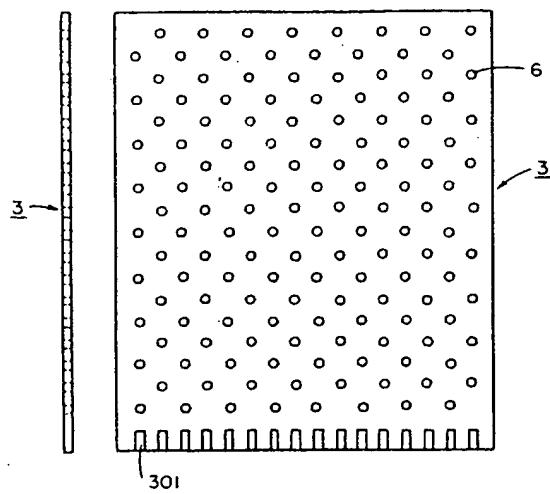


第4A図

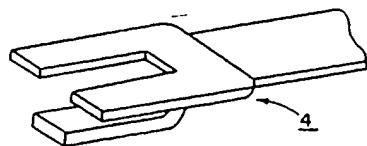


第5A図

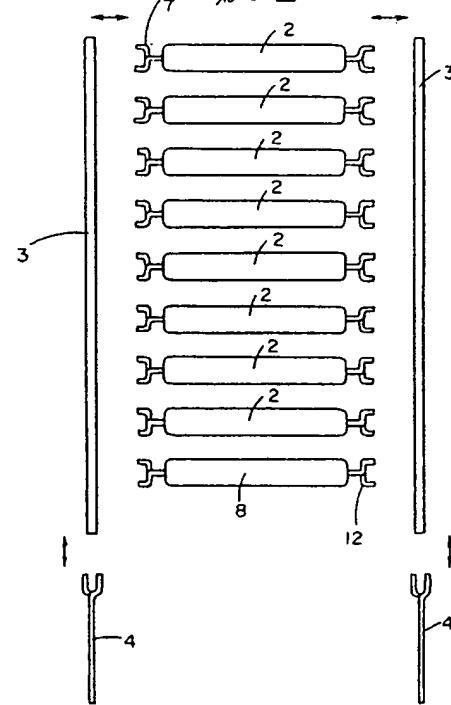
第5B図



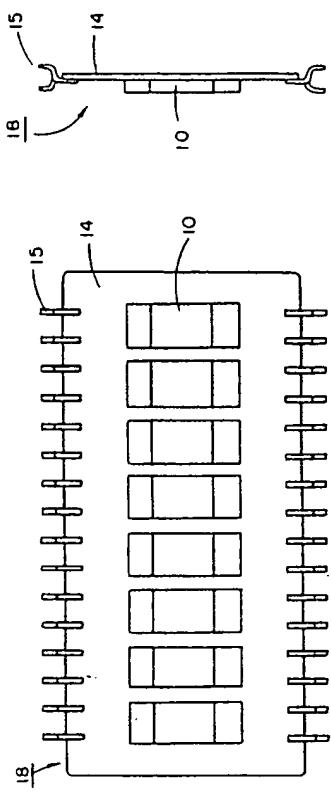
第7図



第6図



第8B図



第8A図

第9B図

